

システムリセット用IC

Monolithic IC PST591～595 Series

'04.10.15

概要

本ICは、さまざまなCPUシステムやその他のロジックシステムにおいて、電源投入時や電源瞬断時に電源電圧を検出し、確実にシステムにリセットをかけ、かつ、固定の遅延時間発生回路を内蔵したICです。従来より、このシリーズとしてPST574/PST575等がありますが、本ICは、アナログ/デジタル混成回路によるカウンタタイマを有し、遅延時間をシリーズ展開したローリセットタイプのシステムリセットICです。

特長

- (1) カウンタタイマ方式による固定遅延時間を設定
遅延時間の温度特性が良い
- (2) 動作限界電圧が低い
- (3) 検出電圧にはヒステリシス電圧を設けている
- (4) 無負荷時の消費電流
- (5) 遅延時間は5製品を用意

±800ppm/°C

0.65V typ.

50mV typ.

I_{CC1} = 300μA typ. I_{CC2} = 200μA typ.

PST591 50ms

PST594 400ms

PST592 100ms

PST595 800ms

PST593 200ms

- (6) 検出電圧は各製品とも9ランクを用意

C:4.5V typ.

H:3.1V typ.

D:4.2V typ.

I:2.9V typ.

E:3.9V typ.

J:2.7V typ.

F:3.6V typ.

K:2.5V typ.

G:3.3V typ.

パッケージ

MMP-4A (PST59×□M)

TO-92A (PST59×□)

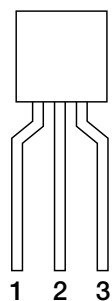
※□には検出電圧ランクが入ります。

(MMP-4Aには、マニュアルリセット端子を設けており、通常動作時には、マニュアルリセット端子をGNDもしくはNCとして下さい。)

用途

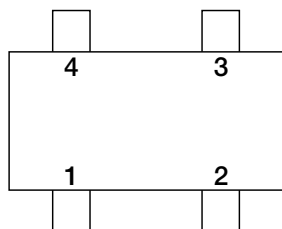
- (1) マイコン・CPU・MPUのリセット回路
- (2) ロジック回路のリセット回路
- (3) バッテリー電圧チェック回路
- (4) バックアップ電源の切り替え回路
- (5) レベル検出回路
- (6) メカ系のリセット回路

端子接続図



TO-92A

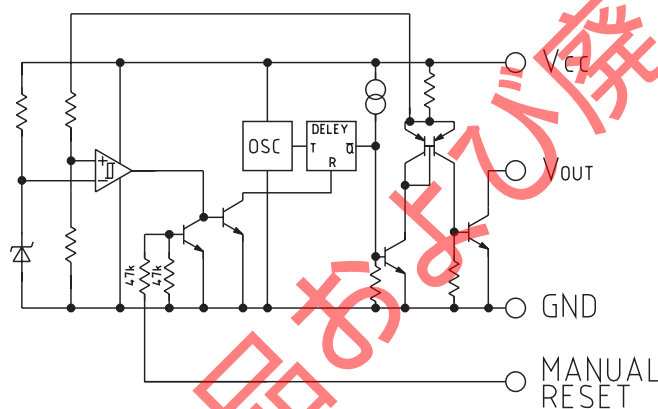
1	V _{CC}
2	GND
3	V _{OUT}



MMP-4A
(TOP VIEW)

1	V _{OUT}
2	Manual Reset
3	V _{CC}
4	GND

等価回路図



最大定格

(Ta=25°C)

項目	記号	定格	単位
保存温度	T _{STG}	-40~+125	°C
動作温度	T _{OPR}	-20~+75	°C
電源電圧	V _{CC max.}	-0.3~10	V
マニュアルリセット入力電圧	V _{RES max.}	-0.3~10	V
許容損失	P _d	200 (MMP-4P) 300 (TO-92)	mW

電気的特性 (Ta=25°C) (指定なき抵抗の単位はΩ)

項目	記号	測定回路	測定条件	最小	標準	最大	単位	
検出電圧	Vs	1	RL = 470 VOL ≤ 0.4V VCC = H → L	C	4.3	4.5	4.7	V
				D	4.0	4.2	4.4	
				E	3.7	3.9	4.1	
				F	3.4	3.6	3.8	
				G	3.1	3.3	3.5	
				H	2.9	3.1	3.3	
				I	2.75	2.90	3.05	
				J	2.55	2.70	2.85	
K	2.35	2.50	2.65					
ヒステリシス電圧	ΔVs	1	RL = 470, VCC = L → H → L	30	50	100	mV	
検出電圧温度係数	Vs/ΔT	1	RL = 470, Ta = -20°C ~ +75°C	±0.0			%/°C	
ローレベル出力電圧	VOL	1	VCC = Vs min. - 0.05V, RL = 470	0.1	0.4		V	
出力リーク電流	IOH	1	VCC = 10V			±0.1	μA	
ON時回路電流	ICCL	1	VCC = Vs min. - 0.05V, RL = ∞	300	600		μA	
OFF時回路電流	ICCH	1	VCC = Vs typ./0.85V, RL = ∞	200	350		μA	
“H”伝達遅延時間	tPLH	2	RL = 4.7k CL = 100PF ※1	PST591	30	50	75	ms
				PST592	60	100	150	
				PST593	120	200	300	
				PST594	240	400	600	
				PST595	480	800	1200	
“L”伝達遅延時間	tPHL	2	RL = 4.7k, CL = 100PF ※1	10			μs	
動作限界電圧	VOPL	1	RL = 4.7k, VOL ≤ 0.4V	0.65	0.85		V	
ON時出力電流 1	IOL1	1	VCC = Vs min. - 0.05V, RL = 0	8			mA	
ON時出力電流 2	IOL2	1	Ta = -20°C ~ +75°C, RL = 0 ※2	6			mA	
マニュアルリセット端子	入力High電圧	VRESH		2.0			V	
	入力High電流	VRESH	VRES = 2V			80	μA	
	入力Low電圧	VRESL				0.8	V	

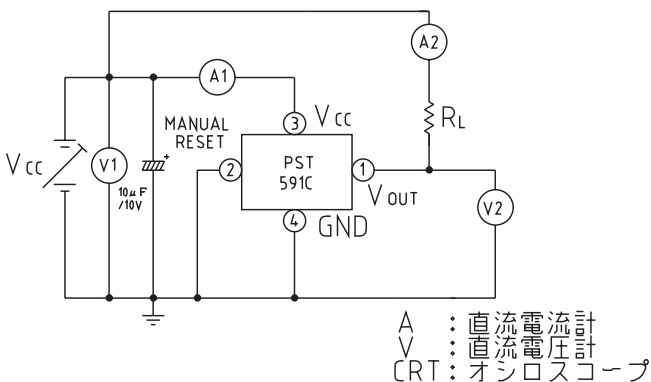
注1: ※1 tPLH: VCC = (Vs typ. - 0.4V) → (Vs typ. + 0.4V), tPHL: VCC = (Vs typ. + 0.4V) → (Vs typ. - 0.4V)

注2: ※2 VCC = Vs min. - 0.15V

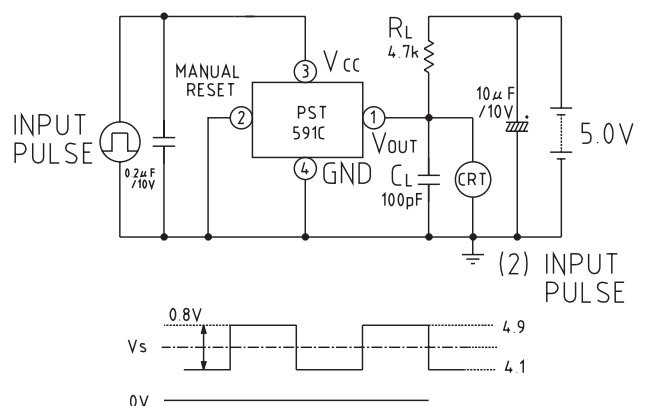
注3: マニュアルリセット端子はHigh電圧にて、VOUT端子Low
 マニュアルリセット端子はLow電圧にて、VOUT端子High

測定回路図

(1)



(2)

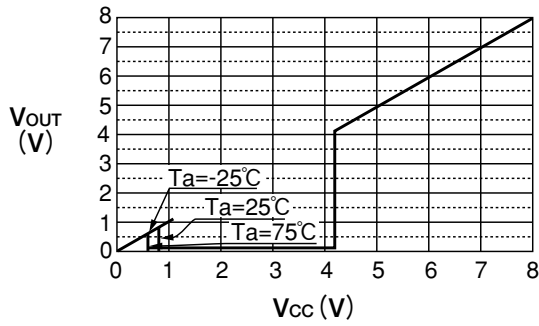


注: 入力モデルはPST591Cの例です。

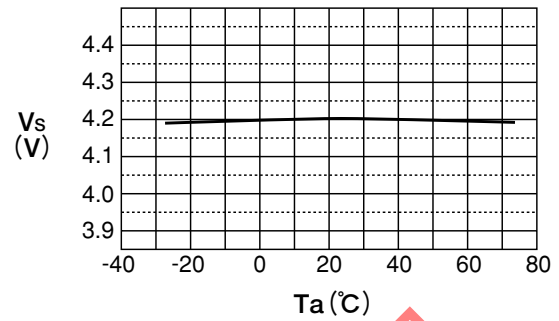
特性図

(代表例：PST591D)

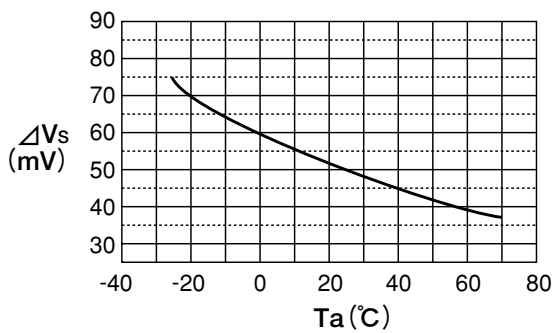
■ VCC vs. VOUT



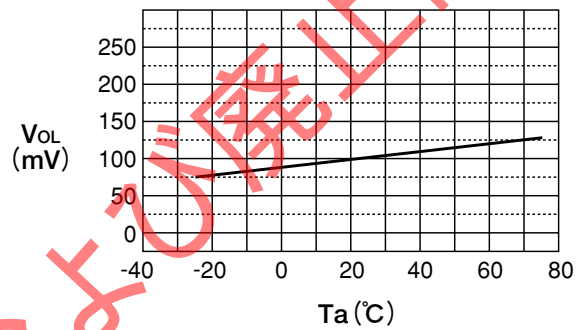
■ Vs vs. Ta



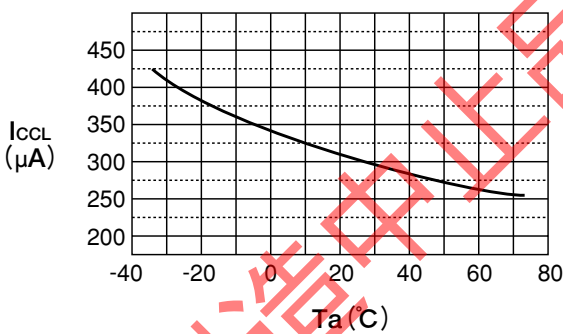
■ ΔVs vs. Ta



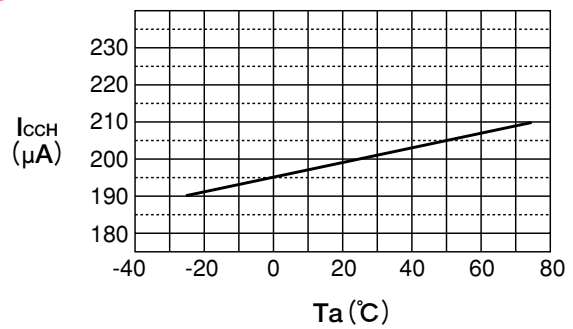
■ VOL vs. Ta



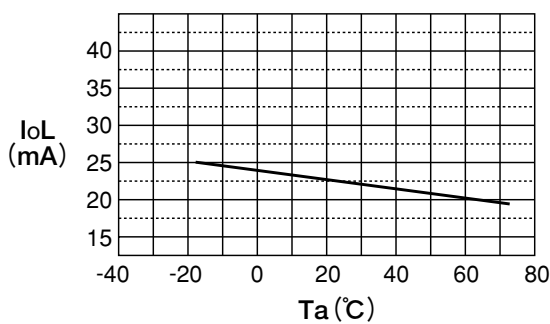
■ ICCL vs. Ta



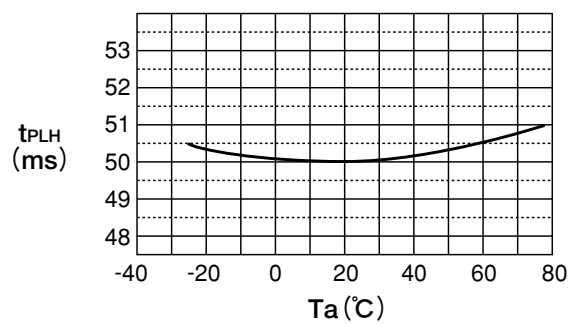
■ ICCH vs. Ta



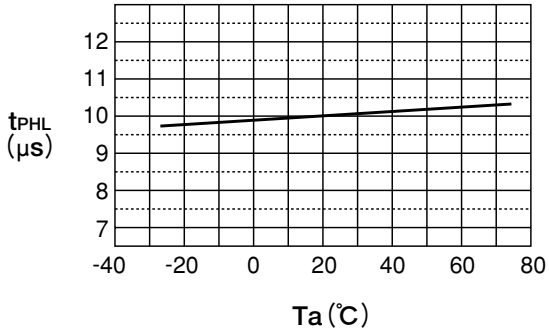
■ IOL vs. Ta



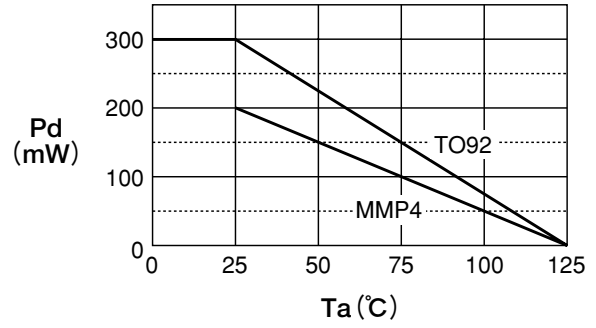
■ tPLH vs. Ta



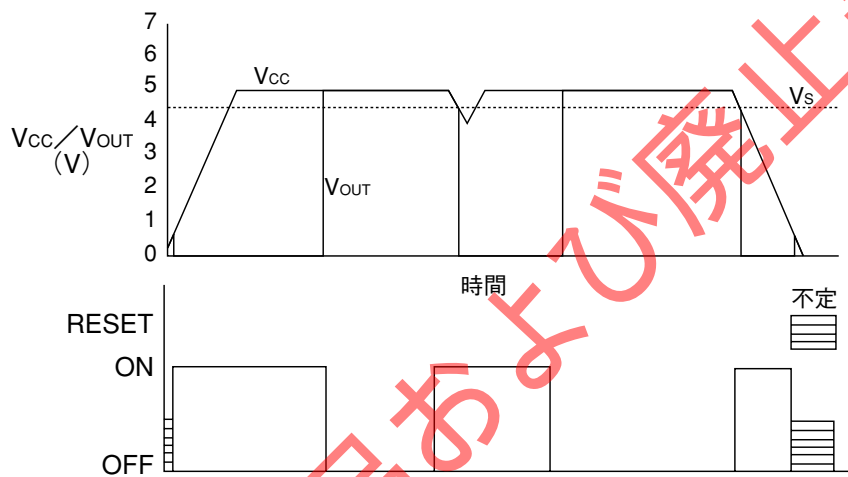
■ tPHL vs. Ta



■ Pd vs. Ta

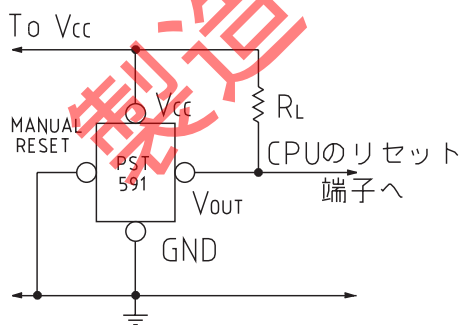


タイミングチャート



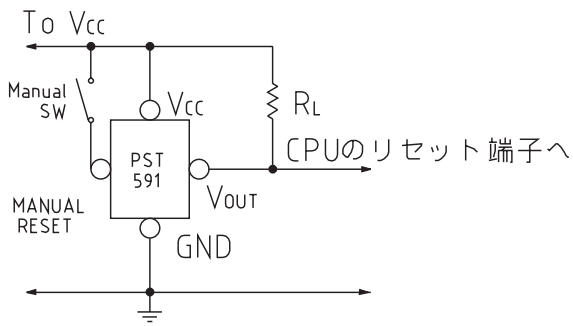
応用回路図

(1) 通常のハードリセット



注： V_{CC} ラインのインピーダンスが高い場合は、ICの V_{CC} -GND端子間にコンデンサを接続して使用して下さい。

(2) マニュアルリセット

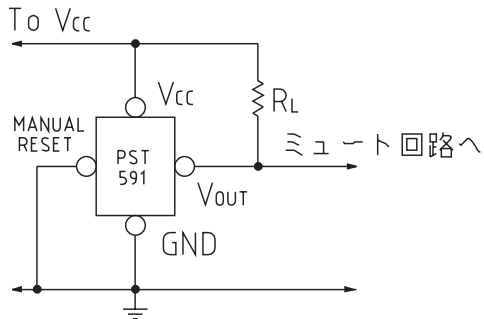


マニュアルスイッチONにて、V_{OUT}端子Low
 マニュアルスイッチOFFにて、V_{OUT}端子High

注1: V_{CC}ラインのインピーダンスが高い場合は、ICのV_{CC}-GND端子間にコンデンサを接続して使用して下さい。

注2: マニュアルスイッチON時のマニュアルリセット幅は、セットにて十分動作をご検討頂いた上で、約2 μ s以上になるように設定して下さい。

(3) ミュート回路図



注: V_{CC}ラインのインピーダンスが高い場合は、ICのV_{CC}-GND端子間にコンデンサを接続して使用して下さい。

製造中止品および廃止品